



(19)

(11) Publication number:

63126251 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 61271837

(51) Intl. Cl.: H01L 21/90

(22) Application date: 17.11.86

(30) Priority:

(43) Date of application
publication: 30.05.88(84) Designated
contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: KANAI FUMIYUKI

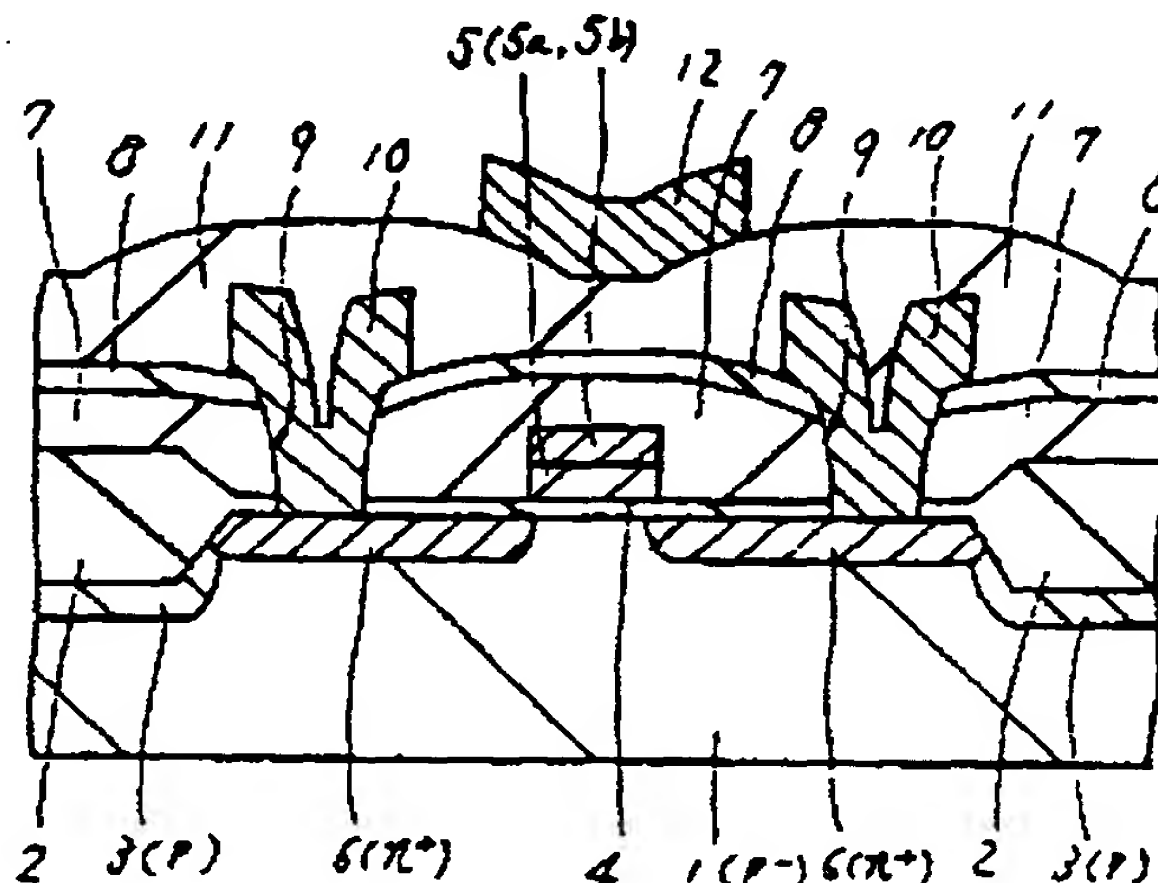
(74) Representative:

(54) SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE

(57) Abstract:

PURPOSE: To prevent a first insulating film from being reflow again by means of a second insulating film, by providing an interlayer insulating film consisting of a first insulating film which is reflowed at a predetermined temperature and a second insulating film superposed on the first film and not reflowed at said temperature.

CONSTITUTION: An MISFET is constituted by a semiconductor substrate 1 provided with a field insulating film 2, a channel stopper region 3, a gate insulation film 4, a gate electrode 5 and source/drain 6. A BPSG film (first insulation film) 7 is reflowed on the substrate 1, a second insulating film 8 of silicon oxide is reflowed on the film 7, a patterned interconnection layer 10 is reflowed on the film 8 and a BPSG film (third insulation film) 11 is reflowed thereon. In this manner, the film 7 is prevented from being reflowed again during reflowing of the film 11 by the presence of the film 8 which is not reflowed at the reflowing temperature of the film 11. Thus, no disconnection is caused in the interconnection 10.



COPYRIGHT: (C)1988,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-126251

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)5月30日

H 01 L 21/90

R-6708-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭61-271837

⑰ 出 願 昭61(1986)11月17日

⑱ 発 明 者 金 井 史 幸 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 半導体基板上の同一層の絶縁膜が、所定の温度でリフローする第1絶縁膜と、前記所定の温度ではリフローしない第2絶縁膜からなり、該第2絶縁膜は前記第1絶縁膜の上に積層されていることを特徴とする半導体集積回路装置。

2. 前記第1絶縁膜は、リン又はボロンを含有し、前記第2絶縁膜は酸化シリコン膜又は窒化シリコン膜からなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 前記第2絶縁膜の上に、前記第1絶縁膜と別工程でリフローされる第3絶縁膜が積層されることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

4. 前記第1絶縁膜と第2絶縁膜は同一層の絶縁膜であり、前記第3絶縁膜はそれらと異なる上の層の絶縁膜であることを特徴とする特許請求の

範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置に関するものであり、特に、半導体基板上の絶縁膜の平坦化に適用して有効な技術に関するものである。

〔従来の技術〕

半導体集積回路装置の高集積化に伴って、基板上の層間絶縁膜の上面を平坦に形成することが重要になってきている。この技術の一つとして、例えば層間絶縁膜に、ボロン・リン・ガラス(BP SG)を用い、これをリフローすることによって平坦化を図ることが考えられる。なお、層間絶縁膜に関する技術は、例えば、日経マグローヒル社発行、日経エレクトロニクス別冊「マイクロデバイス」、1983年8月22日発行、p124～p128に記載されている。

〔発明が解決しようとする問題点〕

本発明者は前記技術を検討した結果、次の問題点を見出した。

平坦化のためには第1層目の層間絶縁膜、第2層目の層間絶縁膜ともBPSG膜で形成し、それらを取りフローすることが有効である。ところが、第2層目のBPSG膜のリフローの際に第1層目のBPSG膜が再度リフローしてしまう。このため、第1層目のBPSG膜上に形成された配線が、動いたりあるいは断線したりしてしまう。

本発明の目的は、半導体集積回路装置の信頼性の向上を図ることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、同一層の層間絶縁膜を、所定の温度でリフローする第1絶縁膜とこの上に前記リフロー温度ではリフローしない第2絶縁膜を積層して構成する。

オン打込みによるn型半導体領域（ソース、ドレイン）6を形成してMISFETを形成する。

次に、半導体基板1上の全面に、例えばCVDによってBPSG膜（第1絶縁膜）7を0.3～1μmの膜厚に形成する。ここで、BPSG膜7中のボロン及びリンの濃度は、共に6mol%程度にするか、あるいはボロンとリンを合せて10～13mol%程度になるようにする。なお、膜7をリンシリケートガラス（PSG）膜またはボロンシリケートガラス（BSG）としてもよい。この場合、リン又はボロンの含有率は、10mol%程度にする。

次に、第2図に示すように、BPSG膜7に850～950℃程度の熱処理を施してリフローする。このリフローによりBPSG膜7の上面は段差が緩和されて平坦化される。次に、例えばCVD、プラズマCVD、スパッタ等によって酸化シリコン膜（SiO₂）あるいは窒化シリコン膜からなる第2絶縁膜8を例えば0.2μm程度の膜厚に形成する。

〔作用〕

上記した手段によれば、第1絶縁膜の再リフローを前記第2絶縁膜によって防止することができ、これにより第1絶縁膜上の配線の移動や断線がなくなるので、信頼性の向上を図ることができる。

以下、本発明を半導体集積回路装置の製造方法に従って説明する。

〔実施例〕

第1図乃至第4図は、製造工程におけるMISFET部分の断面図である。

第1図に示すように、p型単結晶シリコンからなる半導体基板1に、その表面の選択酸化による酸化シリコン膜からなるフィールド絶縁膜2、イオン打込みによるp型チャネルストップ領域3を形成する。さらに、フィールド絶縁膜2から露出した表面の熱酸化による酸化シリコン膜からなるゲート絶縁膜4、例えば多結晶シリコン膜5aと、W、Mo、Ta、Ti等の高融点金属膜又はそれらのシリサイド膜5bからなるゲート電極5、イ

次に、図示していないレジスト膜からなるマスクを用いた例えばドライエッチングによって第2絶縁膜8、第1絶縁膜7をそれぞれエッチングして接続孔9を形成する。レジスト膜からなるマスクは、エッチングの後に除去する。次に、第2絶縁膜8上に、例えばCVDによって多結晶シリコン膜あるいはW、Mo、Ta、Ti等の高融点金属膜又はそれら高融点金属膜のシリサイド膜を形成しこれらをレジスト膜からなるマスクを用いた例えばドライエッチングによってパターニングして配線10を形成する。配線10は多結晶シリコン膜の上に前記高融点金属膜又は前記シリサイド膜を積層した2層膜としてもよい。レジスト膜からなるマスクは、配線10を形成した後に除去する。第1絶縁膜7と第2絶縁膜8とがゲート電極5と配線10を絶縁するための絶縁膜である。すなわち、第1絶縁膜7と第2絶縁膜8は同一層の絶縁膜である。なお、配線10を多結晶シリコン膜で形成する場合には、第2絶縁膜8上に多結晶シリコン膜を形成した後に、低抵抗化のため例え

ばイオン打込み又は熱拡散等によってn型不純物例えばリンを導入する。この不純物の導入の後には、それら不純物の活性化のために900～1000℃程度の高温のアニールが施されるが、前記第1絶縁膜7の上にリフローされない第2絶縁膜8を形成しているため、前記高温アニール時に第1絶縁膜7が再度リフローされることはない。

また、第2絶縁膜8は、第1絶縁膜7中に含まれているボロン、リンの配線10中への拡散を防ぐ。

次に、第4図に示すように、例えばCVDによってBP SG膜(第3絶縁膜)11を0.3～1μm程度の膜厚に形成し、これを850～950℃程度の温度でリフローする。このリフローにより第3絶縁膜11の上面は平坦化される。なお、BP SG膜中のボロン及びリンの濃度は、伴に6mol%程度にするか、あるいは両者合せて10～13mol%程度にする。第3絶縁膜11は、リンを10mol%程度含有するPSG膜あるいはボロンを10mol%程度含有するBSG膜としてもよ

い。

第3絶縁膜11のリフロー時に、先に形成した第1絶縁膜(BP SG、PSG又はBSG)7に850～950℃程度の温度が加わるが、その温度ではリフローされない第2絶縁膜8が形成してあるため、第1絶縁膜7が再度リフローされないことがない。これにより、配線10が動いたり断線することがない。

次に、第3絶縁膜11上に、例えばCVD、スパッタ等によって例えばW、Mo、Ta、Ti等の高融点金属膜又はそのシリサイド膜あるいはアルミニウム膜等からなる配線12を形成する。

以上、本発明を実施例にもとずき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

例えば、第2絶縁膜8は、配線10を形成した後にその配線10を覆って第1絶縁膜7上に形成するようにしてもよい。このようにすることによって、第1絶縁膜7のリフローを接続孔9を形成

した後に行うことができるので、接続孔9の段差を緩やかにすることができる。

(発明の効果)

本願によって開示された発明のうち代表的なものによって得られるものの効果を簡単に説明すれば、次のとおりである。

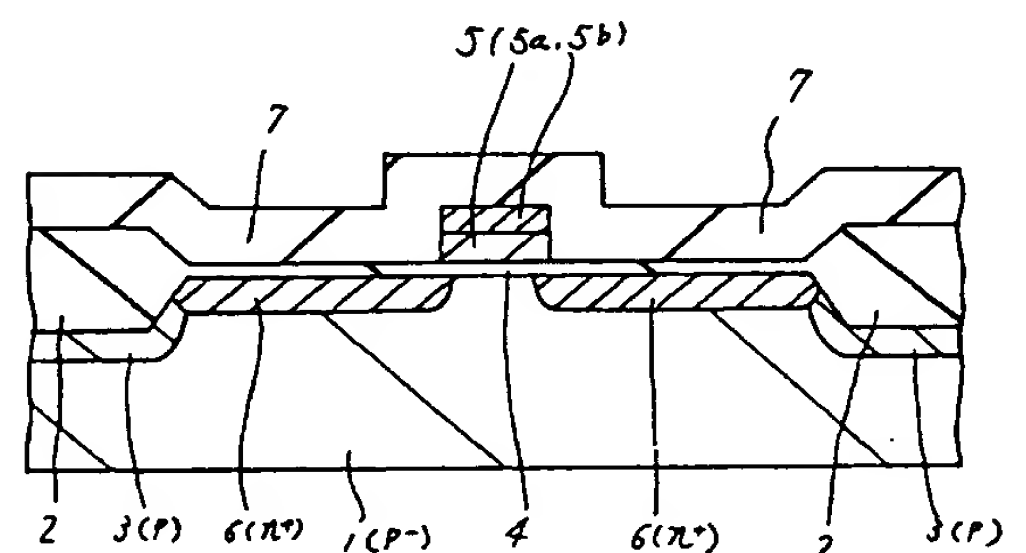
すなわち、上層の絶縁膜のリフロー時に下層の絶縁膜が再度リフローされることがないので、半導体集積回路装置の信頼性の向上を図ることができる。

4. 図面の簡単な説明

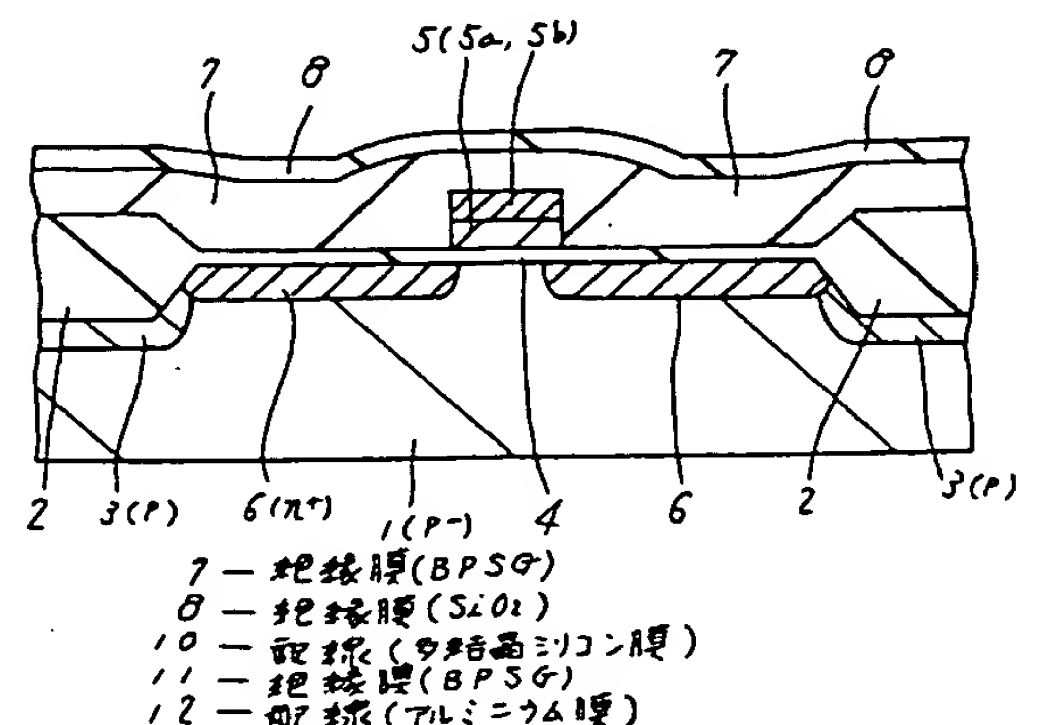
第1図乃至第4図は、製造工程における断面図である。

1…半導体基板、2…フィールド絶縁膜、3…p型チャネルストップ領域、4…ゲート絶縁膜、5、5a、5b…ゲート電極、6…n型半導体領域、7…第1絶縁膜(BP SG)、8…第2絶縁膜(SiO₂)、9…接続孔、10…配線(多結晶シリコン膜)、11…第3絶縁膜(BP SG)、12…配線。

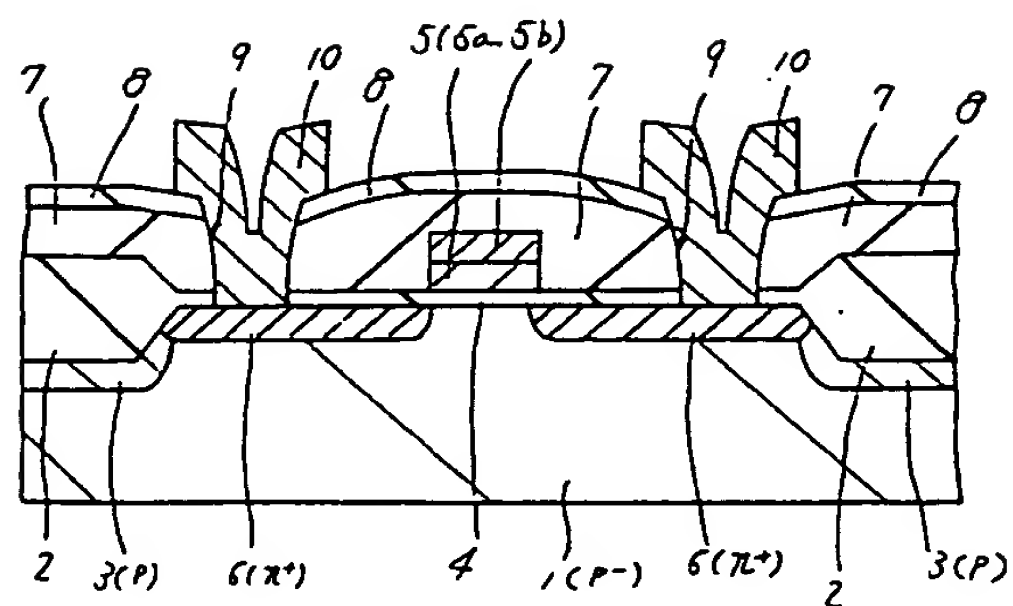
第 1 図



第 2 図



第 3 図



第 4 図

